

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-94027

(P2002-94027A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> (参考)
H 0 1 L 27/108		G 0 3 F 7/20	5 2 1 5 F 0 4 6
21/8242		H 0 1 L 27/10	6 7 1 A 5 F 0 8 3
G 0 3 F 7/20	5 2 1	21/30	5 0 2 C
H 0 1 L 21/027		27/10	6 2 1 C

審査請求 未請求 請求項の数11 O L (全 18 頁)

(21) 出願番号 特願2000-275336(P2000-275336)

(22) 出願日 平成12年9月11日 (2000.9.11)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 堀口 文男

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F046 AA13 AA20

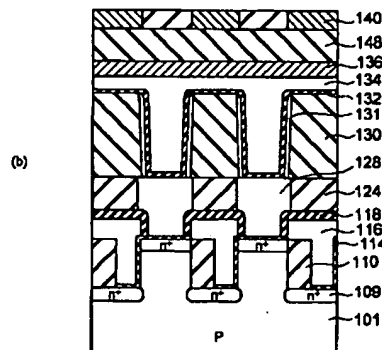
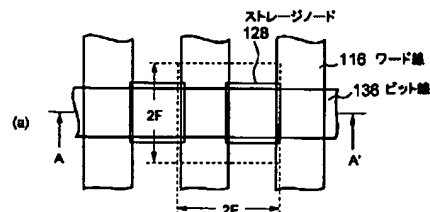
5F083 AD04 AD24 AD31 AD42 PR01

(54) 【発明の名称】 半導体記憶装置とその製造方法

(57) 【要約】

【課題】メモリセルサイズ $4F^2$ 以下のDRAMを実現する。

【解決手段】シリコン基板の表面に格子状に形成された溝により規定された複数のシリコン柱を有し、このシリコン柱の側面に選択トランジスタが形成され、溝底にこのトランジスタのソースまたはドレイン拡散層を有し、このトランジスタを1トランジスタ、1キャパシタ型のDRAMメモリの選択トランジスタとした半導体記憶装置であって、溝底の選択トランジスタのソース・ドレイン拡散層が多数のメモリセルに一定の共通電圧に接続されるか、あるいは隣り合うメモリセル同士で共通に接続され、この拡散層がシリコン基板上部に配線で引き出され、ビット線に接続される。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 シリコン柱の側面に選択トランジスタを形成し、溝底にこのトランジスタのソースまたはドレイン拡散層を有し、前記トランジスタを1トランジスタ、1キャパシタ型のDRAMメモリセルの選択トランジスタとした半導体記憶装置において、前記溝底拡散層は、多数のメモリセルに共通の一定電圧に接続されることを特徴とする半導体記憶装置。

【請求項2】 前記選択トランジスタの上部拡散層は、スタック型メモリセルのキャパシタ電極に接続されることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 シリコン基板の表面に格子状に形成された溝により規定された複数のシリコン柱を有し、このシリコン柱の側面に選択トランジスタが形成され、溝底にこのトランジスタのソースまたはドレイン拡散層を有し、前記トランジスタを1トランジスタ、1キャパシタ型のDRAMメモリセルの選択トランジスタとした半導体記憶装置において、前記溝底の選択トランジスタのソース・ドレイン拡散層が、隣り合うメモリセル同士で共通に接続されており、この拡散層をシリコン基板上部に配線で引き出していることを特徴とする半導体記憶装置。

【請求項4】 前記溝底の選択トランジスタのソース・ドレイン拡散層と電気的に接続した導体が溝底から溝上部にシリコン溝中を周囲と絶縁した状態で埋め込まれ、シリコン柱上部のビット線と接続される構造を有することを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】 シリコン柱の周囲をゲート電極が取り巻き、このゲート電極を一方向に整列したシリコン柱について連続的に接続してワード線としたとき、互いに隣接する4つのシリコン柱の中心部分の溝中に、溝底のソース・ドレイン層とビット線を接続する前記の構造が形成されることを特徴とする請求項4に記載の半導体記憶装置。

【請求項6】 シリコン柱の1側面にゲート電極が形成され、このゲート電極を一方向に整列したシリコン柱について連続的に接続してワード線としたとき、前記ゲート電極が形成されたシリコン柱の側面に隣接する他の側面に沿った溝中に、溝底のソース・ドレイン層とビット線を接続する前記の構造が形成されることを特徴とする請求項4に記載の半導体記憶装置。

【請求項7】 シリコン柱の周りに帯状に溝底拡散層が形成されることを特徴とする請求項4または6に記載の半導体記憶装置。

【請求項8】 3個以上の複数のシリコン柱の溝底で拡散層が共通に接続されていることを特徴とする請求項4または6に記載の半導体記憶装置。

【請求項9】 前記の溝底の拡散層にとるコンタクトのため、ビット線方向のシリコン柱の配列ピッチを緩めることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記シリコン柱により構成されたメモリセルアレイの対角線上の角にある1対のメモリセルパターンが欠如していることを特徴とする請求項3に記載の半導体記憶装置。

【請求項11】 前記シリコン柱、ゲート埋め込み電極形成孔パターン、ビット線コンタクトプラグのリソグラフィとして、同一レイヤーの多重露光を行うことにより、最少加工寸法以下のメモリセル構造を実現することを特徴とする請求項1乃至10に記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はダイナミックランダムアクセスメモリ（DRAM）に関し、特にメモリセルの高集積化技術に関する。

【0002】

【従来の技術】従来DRAMのメモリセルには、1トランジスタ、1キャパシタのメモリセルが使用されてきた。半導体記憶装置の高集積化に伴い、メモリセルの占有面積の減少が益々望まれてきている。

【0003】図56は、(a)従来のメモリセルの等価回路、(b)平面レイアウト図、(c)A-A'線に沿った断面図を夫々示す。図に示すように、1個のメモリセルの占有面積は、1個の平面型のトランジスタQと2セルに1個のビット線コンタクト3、ストレージノードコンタクト4、通過ワード線2、素子分離領域5により決定されている。その時点の最少加工寸法をFとし、ゲート電極、ソース・ドレイン領域の夫々の1辺をFで設計するとき、メモリセルの最少占有面積は、縦2F、横4Fの面積 $8F^2$ となる。このような素子構成ではこれ以上の縮小化ができず、チップサイズの縮小ができない。従って、DRAMの低コスト化のためには、さらに縮小が可能な素子構成の実現が望まれている。なお、図56において1はビット線、2はワード線、6はプレート電極線を示す。

【0004】

【発明が解決しようとする課題】本発明は上記の事情を考慮して為されたもので、メモリセルの占有面積を $4F^2$ 以下とすることが可能なメモリセル構造とその製造方法を提供するものである。

【0005】

【課題を解決するための手段】上記の課題を解決する為、本発明の半導体記憶装置（請求項1）は、シリコン柱の側面に選択トランジスタを形成し、溝底にこのトランジスタのソースまたはドレイン拡散層を有し、前記トランジスタを1トランジスタ、1キャパシタ型のDRAMメモリセルの選択トランジスタとした半導体記憶装置において、前記溝底拡散層は、多数のメモリセルに共通の一定電圧に接続されることを特徴とする。

【0006】前記選択トランジスタの上部拡散層は、ス

タック型メモリセルのキャパシタ電極に接続される。

【0007】また、本発明の半導体記憶装置（請求項3）は、シリコン基板の表面に格子状に形成された溝により規定された複数のシリコン柱を有し、このシリコン柱の側面に選択トランジスタが形成され、溝底にこのトランジスタのソースまたはドレイン拡散層を有し、前記トランジスタを1トランジスタ、1キャパシタ型のDRAMメモリセルの選択トランジスタとした半導体記憶装置において、前記溝底の選択トランジスタのソース・ドレイン拡散層が、隣り合うメモリセル同士で共通に接続されており、この拡散層をシリコン基板上部に配線で引き出していることを特徴とする。

【0008】さらに、前記溝底の選択トランジスタのソース・ドレイン拡散層と電気的に接続した導体が溝底から溝上部にシリコン溝中を周囲と絶縁した状態で埋め込まれ、シリコン柱上部のビット線と接続される構造を有することを特徴とする。

【0009】シリコン柱の周囲をゲート電極が取り巻き、このゲート電極を一方向に整列したシリコン柱について連続的に接続してワード線としたとき、互いに隣接する4つのシリコン柱の中心部分の溝中に、溝底のソース・ドレイン層とビット線を接続する前記の構造を形成することができる。

【0010】あるいは、シリコン柱の1側面にゲート電極が形成され、このゲート電極を一方向に整列したシリコン柱について連続的に接続してワード線としたとき、前記ゲート電極が形成されたシリコン柱の側面に隣接する他の側面に沿った溝中に、溝底のソース・ドレイン層とビット線を接続する前記の構造を形成することができる。この場合、シリコン柱の周りに帯状に溝底拡散層が形成されることが望ましい。

【0011】また、3個以上の複数のシリコン柱の溝底で拡散層が共通に接続されるようにしてもよい。この場合、前記の溝底の拡散層によるコンタクトのため、ビット線方向のシリコン柱の配列ピッチを緩めることができる。

【0012】また、本発明により、セルサイズ $2F^2$ 以下のメモリセルを構成するとき、前記シリコン柱により構成されたメモリセルアレイの対角線上の角にある1対のメモリセルパターンが欠如していることを特徴とする。

【0013】本発明の半導体記憶装置の製造方法（請求項11）は、前記シリコン柱、ゲート埋め込み電極形成孔パターン、ビット線コンタクトプラグのリソグラフィとして、同一レイヤーの多重露光を行うことにより、最少加工寸法以下のメモリセル構造を実現することを特徴とする。

【0014】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

【0015】（第1の実施形態）図1（a）は、本発明の第1の実施形態に係るメモリセルの平面レイアウト図で、マスクパターンを重ねあわせて模式的に表している。図1（b）は図1（a）のA-A'線に沿った断面図である。本発明のメモリセルを構成するトランジスタは縦型に形成されている。即ち、図1（b）においてソース・ドレイン拡散層109の一方は半導体基板101の上面に、他方はワード線116の下に形成された溝の底に形成されている。ゲート電極は溝の側面に形成され、ワード線116の一部となっている。基板上面のソース・ドレイン拡散層109の上方にはキャパシタが形成されている。このように構成することにより、図1（a）に示すように、縦 $2F$ 、横 $2F$ 、セルの面積 $4F^2$ のメモリセルが実現されている。

【0016】第1のメモリセルの等価回路は図2に示す通りであり、選択トランジスタQのソース・ドレインの一方は $V_{cc}/2$ の中間電位に接続されている。図1（b）において、この一方のソース・ドレインは下方（溝底）の $n^+$ 層109であり、各トランジスタの $n^+$ 層109は図示せぬ箇所でも共通に接続され、基板上面に引き出されている。他方のソース・ドレインはキャパシタCの一方の電極に接続されている。キャパシタの他方の電極はビット線BLに接続されており、Capacitor Coupled Bit-Line Cell 構造となっている。本構造でもDRAMの動作上問題無いことは、'84ISSCC, Digest of Technical Papers, pp.100-101, M.Taquichiet al. "A Capacitance Coupled Bit-Line Cell for Mb Level DRAMs" に記載されている。なお、この文献に開示されたメモリセルは通常のプラナー型のセル構成のものである。

【0017】次に、上記のメモリセルの製造方法について説明する。まず、図3（a）に示すように、p型シリコン基板101の表面に10nm程度のパルファ酸化膜102を形成した後、200nm程度のSiN膜103を堆積する。この上にレジスト104を塗布し、リソグラフィ技術により図3（b）に示すように、最少加工寸法Fを1辺とする正方形のパターンを、Fの間隔でパターンニングする。このレジストパターン104をマスクとして、SiN層103、シリコン酸化膜層102、シリコン基板101を順次エッチング除去して、シリコン基板101に溝105を形成する。この結果、シリコン柱106が形成される。この時溝105は、シリコン基板上に格子状に形成され、複数のシリコン柱106が形成されたことになる。

【0018】次に、図4に示すように、レジスト104、SiN層103をエッチング除去した後、Asを上面よりイオン注入し、溝105の底部及びシリコン柱106の上部に $n^+$ 層109を形成する。 $n^+$ 層109は縦型トランジスタのソース・ドレインとなる。

【0019】次に、図5に示すように、全面にシリコン

酸化膜を堆積してシリコン酸化膜層110を形成し、溝105をシリコン酸化膜で埋め込む。続いて化学的機械研磨法(CMP)により、シリコン柱109の上面までシリコン酸化膜層110を研磨し、上面を平坦化する(図6)。この結果、溝105はシリコン酸化膜に埋め込まれてSTI(Shallow Trench Isolation)110を形成する。

【0020】次に、図7に示すように、シリコン柱106の1方向(図の横方向)に(1/2)Fの重なりを持つようにレジスト112を形成する。113がレジストの開口部である。このレジスト112をマスクにして、STI酸化膜110をA-A'断面で半分だけエッチング除去して、シリコン柱106の一方の側面を露出させる。この露出されたシリコン柱の側面に、縦型トランジスタのチャネル領域が形成されることになる。なお、図7(b)の上面図において、シリコン柱106とレジスト112を縦方向に若干ずらして描いてあるが、これは理解を容易にするためであり、わずかにずれた線は実際には一致している。後続の上面図においても、同様な図示を行う。

【0021】次に、図8に示すように、レジスト112を除去した後、露出しているシリコン基板101の表面にゲート酸化膜114を形成する。このとき、シリコン柱106の上面、側面、溝105の底面に露出した部分にゲート酸化膜114が形成される。このとき、シリコン柱の側面の酸化膜の厚さはゲート酸化膜として最適な厚さとし、シリコン柱上面および溝の底面の酸化膜の厚さは側面の厚さと同じとするか、あるいは厚く、例えば2倍としてもよい。上面、下面の酸化膜は、堆積により追加してもよい。

【0022】続いて、ゲート電極となるポリシリコン層116を全面に堆積する。ポリシリコン層の抵抗を下げる為に、さらにWSi等のシリサイドやメタルをポリシリコン層の上に堆積してもよい。ポリシリコン層116の上には、ゲート電極と後に形成するストレージノードコンタクトとの自己整合のために、SiN層118を堆積する。

【0023】次に、ワード線となるゲートのパターニングを行う。図9に示すように、横方向のシリコン柱間のスペースを、ワード線が図面の上下に走るようにレジスト120をパターニングし、これをマスクにSiN層118、ポリシリコン層116をRIE(Reactive Ion Etching)技術で順次エッチング除去する。

【0024】その後、SiNを堆積し、RIEによりエッチング除去することにより、露出したゲート電極116の側面をSiN膜122で覆うことができる(図10)。これで、ゲート電極の加工が終了したが、図8乃至図10の工程によって、メモリセル部だけでなく、周辺回路部のトランジスタも同時に作成することができる。

【0025】次に、図11に示すように、ワード線間のスペース溝を平坦化するために、シリコン酸化膜124を堆積した後に、これをCMPにより平坦化する。その後レジスト126を塗布し、シリコン柱と同じ位置に孔を開けるようにパターニングする。

【0026】次に、レジスト126をマスクとしてシリコン酸化膜124をRIEによりエッチング除去して、ゲート電極116の上部に自己整合的にストレージノード用コンタクトホールを形成する。

【0027】次に、図12に示すように、コンタクトホールにAsをドーブしたポリシリコン等の導電材料を埋め込み、これを平坦化する。これにより、コンタクトホールの中に導電性材料を埋め込むと同時に、ゲート電極116の頭部(ワード線)に自己整合的にストレージノードコンタクトプラグ128を形成できる。

【0028】次に、図13に示すように、シリコン酸化膜130を1 $\mu$ m程度堆積し、RIEでコンタクトプラグ128の上部のシリコン酸化膜130をエッチングし、キャパシタ形成用の孔133を開く。シリコン酸化膜の厚さは必要とするキャパシタ容量値に依る。大容量とするには、後述のようにストレージノード電極の高さを高くする必要がある。

【0029】次に、図14に示すように、Asをドーブしたポリシリコンを孔133の側面を薄くカバーするように堆積し、これをRIEによりエッチング除去することにより、孔133の側面にのみポリシリコン131を残置する。次に、ウェハ全面にSiNあるいはTa<sub>2</sub>O<sub>5</sub>、あるいはBST等の高誘電体絶縁膜132を堆積し、その後プレート電極とビット線電極とを共用した電極を形成するために、不純物添加ポリシリコン134、Wあるいは他の金属136を堆積する。その後、この堆積層136をシリコン柱106の間のスペース上でワード線と直交する方向に延在するようにパターニングする。

【0030】次に、図1に示した最終形態の形成工程に進む。まず、シリコン酸化膜を堆積して層間絶縁膜148とし、CMPで平坦化した後、ビット線コンタクト等のパターニングを行い、RIEによりコンタクトを開く。その後、Alを堆積しパターニングしてAl配線140とする。

【0031】以上により、占有面積4F<sup>2</sup>のメモリセルが完成する。

【0032】(第2の実施形態)図15は本発明の第2の実施形態に係るメモリセルの模式的なレイアウト図と断面図である。第2の実施例のメモリセルも占有面積4F<sup>2</sup>の構成を有しており、Capacitance Coupled Bit-Line Cell 構造となっている。第1の実施形態とは縦型トランジスタのソース・ドレインの寸法と形成方法が異なっている。以下、製造方法について説明する。なお、理解が容易なように、第1の実施形態と同じ箇所には同一番号を付す。

【0033】まず、第1の実施形態の図3と同様にし、図16に示すシリコン柱106を形成する。すなわち、p型シリコン基板101の表面に10nm程度のバッファ酸化膜102を形成した後、200nm程度のSiN膜103を堆積し、この上にレジスト104を塗布する。図3(b)と同様に、リソグラフィ技術により最小加工寸法Fの寸法を持った正方形のパターンを、Fの寸法の間隔でパターンニングする。

【0034】次に、図17に示すように、レジスト104、SiN層103をエッチング除去した後、Asをイオン注入し、溝底、シリコン柱の上部に縦型トランジスタのソース・ドレインとなるn<sup>+</sup>層を形成する。その後バッファ酸化膜をHF溶液でエッチング除去した後、ゲート酸化膜114を形成する。ゲート酸化膜114は、第1の実施形態と同様に、シリコン柱106の上部、溝の底面で厚くなるように形成することが好ましい。

【0035】次に、図18に示すように、ポリシリコン層116を全面に堆積して溝に埋め込み、CMPによりシリコン柱106上部の酸化膜114の上面まで平坦化する。

【0036】続いて、図19に示すように、シリコン柱106に(1/2)Fの重なりを持つように、1辺Fの正方形の開口部を有するレジストパターンを形成し、これをマスクにしてシリコン柱106の半分および埋め込んだポリシリコン116のマスク開口部に露出した部分をエッチング除去する。

【0037】次に、図20に示すように、素子分離耐圧を高めるために溝底にボロンのイオン注入を行ってp<sup>+</sup>層117を形成する。なお、シリコン柱106は前工程で半分にエッチングされているので、106'と表示されている。

【0038】次に、図21に示すように、全面にシリコン酸化膜110を堆積し、シリコン柱106'上の酸化膜114の上面までCMPで平坦化する。この結果を図22に示す。

【0039】次に、図23に示すように、ポリシリコン116'、SiN118を順次堆積した後、ワード線となるゲートのパターンニングを行う。ポリシリコン116'とSiN118の間にワード線の低抵抗化のために、WSi若しくはメタル材を堆積してもよい。シリコン柱の間のスペースを図面の上下にワード線が走るように、レジスト120をパターンニングし、これをマスクにSiN膜118、(WSi)、ポリシリコン116'を順次RIEによりエッチング除去する。これによりポリシリコン116'はワード線に加工されるが、ゲート116と一体化されるので、以降はワード線とゲートを併せて116と表示する。

【0040】レジスト120を除去した後、SiNを堆積し、RIEによりエッチング除去することにより、図24に示すように、露出したワード線116の側面をS

iN122で覆うことができる。以上によりゲート電極の加工が終了したが、図21～図24の工程により、メモリセルだけでなく、周辺回路のトランジスタも同時に作成することができる。

【0041】その後、ストレージノードコンタクト形成のために全面にシリコン酸化膜124を堆積し、CMPにより平坦化する。この工程以降は、第1の実施形態の図11以降と同様な工程になる。

【0042】以上の製造工程により、第1の実施形態と同様の4F<sup>2</sup>タイプのメモリセルを作成することができる。

【0043】(第3の実施形態)第3の実施形態のメモリセルは、図56(a)に示した従来技術と同じ等価回路を有し、キャパシタのプレート電極に一定電圧を加えるタイプであるが、シリコン柱の側面をすべてゲート電極で取り囲む、いわゆる Surrounding Gate Typeの縦型トランジスタを使用し、シリコン柱上部に形成されるビット線をプラグを介して溝底で接続するものである。

【0044】図25に第3の実施形態に係るメモリセルの平面的なレイアウト図と、断面図を示す。このような構成を採ることによっても、占有面積4F<sup>2</sup>のメモリセルを実現できる。以下、このメモリセルの製造工程を説明する。なお、理解が容易なように、第1の実施形態と同じ箇所には同一番号を付す。

【0045】まず、第1の実施形態の図3と同様にし、図26に示すシリコン柱106を形成する。すなわち、p型シリコン基板101の表面に10nm程度のバッファ酸化膜102を形成した後、200nm程度のSiN膜103を堆積し、この上にレジスト104を塗布する。図3(b)と同様に、リソグラフィ技術により最小加工寸法Fの寸法を持った正方形のパターンを、Fの寸法の間隔でパターンニングする。次に、SiN膜102、バッファ酸化膜103、シリコン基板101の表面部を順次エッチング除去して、シリコン溝105を形成する。続いて、レジスト151をエッチング除去した後、Asをイオン注入し、溝底に縦型トランジスタのソース・ドレインとなるn<sup>+</sup>層109を形成する。

【0046】次に、図27(b)に示すように、横方向に隣り合う2つのシリコン柱の半分に掛かるようにレジスト153を形成し、これをマスクにして、シリコン基板101の表面をエッチングし、レジスト153で覆われない部分の溝底のn<sup>+</sup>拡散層109を除去できる深さまで掘る。この後ボロンのイオン注入を行って、露出した溝底に素子分離のためのp<sup>+</sup>拡散層117を形成する。この後、レジスト153、SiN層103、バッファ酸化膜102を除去する。

【0047】つぎに、図28に示すように、シリコン酸化膜108を全面に堆積する。続いて、上部をCMPでし溝にシリコン酸化膜108を埋め込む。さらに、図29に示すように、RIEによりシリコン酸化膜108の

エッチバックを行い、溝の底部分にのみシリコン酸化膜108を残す。これを平面的に見た状態を図29(b)に示す。

【0048】次に、シリコン柱側面および上面の自然酸化膜を取り除いてシリコンを露出させた後、図30に示すようにゲート絶縁膜114を形成する。続いてゲート電極となるポリシリコン膜116を全面に堆積する。

【0049】次に、図31(b)に示すように、シリコン柱106の図面上下方向のスペースにレジスト159を形成する。このとき、図31(b)のB-B'線に沿った断面図が図31(a)で、図30とは断面線が異なる。

【0050】レジスト159をマスクにしてポリシリコン膜116をエッチングすると、図32(a)に示すようにシリコン柱106の周りの側壁にゲート電極が残り、かつ図32(c)に示すように、ゲート電極がB-B'線の方向に繋がったワード線が形成できる。図32(b)は、図32(c)のA-A'線に沿った断面図である。このとき、周辺回路部分でトランジスタ形成領域にレジストパターンを残しておけば、シリコン基板の上面部に従来型のトランジスタのポリシリコンゲート電極を形成できる。この後、全面にAsのイオン注入を行い、シリコン柱106の上面にn<sup>+</sup>拡散層109'を形成する。

【0051】次に、図33に示すように全面にシリコン酸化膜111を堆積し、CMPによって平坦化して溝に酸化膜を埋め込む。なお、図33は図32(c)のA-A'線に相当する断面図である。

【0052】次に、全面にレジスト121を形成し、図34(b)に示すパターンニングを行う。この時、図34(b)C-C'線に沿った断面図が図34(a)である。このレジスト121をマスクにして、シリコン酸化膜111をRIEで加工する。このとき、溝底のn<sup>+</sup>拡散層109が露出した段階でエッチングを止める。これにより、溝底のn<sup>+</sup>拡散層109にのみコンタクトを形成できる。

【0053】この後、孔側面のポリシリコンを熱酸化し、この時溝底のn<sup>+</sup>拡散層も酸化されるが、シリコン酸化膜のRIEを行うことで、ゲートポリシリコンを絶縁した状態で、自己整合的にn<sup>+</sup>拡散層109にコンタクトが形成できる。

【0054】次に、図35に示すように、全面にポリシリコン膜128を形成し、CMPで平坦化して前工程で形成された孔にポリシリコン膜128埋め込む(図36)。

【0055】なお、図35～図40までは、図34(b)と同じ、C-C'線に沿った断面図である。

【0056】次に、図37に示すように、シリコン酸化膜113を堆積し、その上に埋め込んだシリコン柱128をA-A'線方向に連続して露出するように、シリコ

ン酸化膜111上部にライン状のレジストマスク153を形成する。

【0057】次に、図38に示すように、レジスト153をマスクにしてシリコン酸化膜163をRIEで加工し、ポリシリコン層128が露出するまでエッチングして溝を形成する。続いて、SiNを薄く全面に堆積した後RIEを行い、溝の側面にSiN膜123を形成する。

【0058】次に、W膜を全面に堆積し、CMPで平坦化後、RIEによりエッチバックし、ビット線となるW膜115を形成する。続いてSiN膜119を再度堆積し、CMPで平坦化して、W膜115の上部を埋め込む。これにより、ビット線となるW膜115がSiN膜123、119で囲まれた構造が形成される。

【0059】この後、シリコン酸化膜124を堆積し、シリコン柱106の上部表面に開口部を有するレジストマスクを形成し、これをマスクとしてシリコン酸化膜124をエッチングして開口部を形成する。この時、シリコン酸化膜のエッチングはビット線周りに形成したSiN膜123、119をエッチングしない条件でエッチングする。

【0060】次に、図41に示すように、不純物が添加されたポリシリコンを上記の開口部に埋め込み、すでに形成されていたポリシリコンプラグ128と一体化させ、上面を平坦化する。なお、図41(a)は図41(b)のB-B'線に沿った断面図であるが、ポリシリコンプラグ128は、一体化された後の形を表している。この工程以降は、第1の実施形態の図13以降と同様な工程になる。ただし、図14の工程において、プレート電極134、136をレジスト138を用いてライン状にパターンニングする工程は不要になる。

【0061】以上の製造工程により、プレート電圧に一定電圧を印加する回路方式で4F<sup>2</sup>タイプのメモリセルを作成することができる。

【0062】(第4の実施形態)第4の実施形態のメモリセルも、図56(a)に示した従来技術と同じ等価回路を有し、キャパシタのプレート電極に一定電圧を加えるタイプであるが、シリコン柱の根元の周りの溝底に、n<sup>+</sup>拡散層を形成し、これにシリコン柱上部に形成されるビット線に接続する配線を接続するタイプのものである。

【0063】図42に第4の実施形態に係るメモリセルの平面的なレイアウト図と、断面図を示す。このような構成を採ることによっても、占有面積4F<sup>2</sup>のメモリセルを実現できる。以下、このメモリセルの製造工程を説明する。なお、理解が容易なように、第1の実施形態と同じ箇所には同一番号を付す。

【0064】まず、第1の実施形態の図3と同様にし、図43に示すシリコン柱106を形成する。すなわち、p型シリコン基板101の表面に10nm程度のp

ッファ酸化膜102を形成した後、200nm程度のSiN膜103を堆積し、この上にレジスト104を塗布する。図3(b)と同様に、リソグラフィ技術により最小加工寸法Fの寸法を持った正方形のパターンを、Fの寸法の間隔でパターンニングする。次に、SiN膜103、パッファ酸化膜102、シリコン基板101の表面部を順次エッチング除去して、シリコン溝105を形成する。続いて、Asをイオン注入し、シリコン溝の底部にのみn<sup>+</sup>拡散層を形成する。その後、シリコン溝のスペースの1/5程度の厚さの酸化膜を均一に堆積し、RIEでエッチングすることにより、シリコン柱106の側壁部

にのみ、シリコン酸化膜161を形成する。  
【0065】次に、図44に示すように、図面の横方向に隣接する2つのシリコン柱106に掛かるようにレジストマスク153を形成する。このレジスト153とシリコン柱106上部のSiN膜103とシリコン柱106側壁のシリコン酸化膜161をマスクにして、シリコン基板のRIEを行う。このとき、シリコン溝底部のn<sup>+</sup>型拡散層109が充分除去できる深さのエッチングを行う。

【0066】次に、図45に示すように、ボロンのイオン注入を行い、シリコン溝の底部に素子分離用のp<sup>+</sup>層117を形成する。この時点におけるシリコン基板の導電型の平面的なレイアウトを図45(b)に示す。シリコン柱106の溝底の周りにはn<sup>+</sup>拡散層が形成され、かつ隣り合う2つのリング状拡散層が溝底で接続された形状が実現されている。

【0067】次に、図46に示すように、シリコン溝をシリコン酸化膜で埋めるために、全面にシリコン酸化膜135を堆積し、表面をCMPにより平坦化する。

【0068】次に、図47(b)に示すように、互いに隣接する4つのシリコン柱106の内、左側の上下2つのシリコン柱の右上に掛かるような開口パターンを有するレジストマスク137を形成し、これを用いてシリコン酸化膜135のRIEを行う。このマスク137は2セル1ビット線構成のメモリセル用であるが、1セル1ビット線構成とする場合は、4つのシリコン柱にすべて掛かるマスクを用いなければならない。この場合は、シリコン溝底の2つのシリコン柱を結ぶn<sup>+</sup>拡散層の形成は省略することができる。

【0069】図48は上記のRIEによりシリコン酸化膜135に孔139が形成された状態を示す。孔139は底面がn<sup>+</sup>拡散層109に丁度届くようにする。次に、レジストマスク137を除去した後、Asをイオン注入してシリコン柱106の上部にn<sup>+</sup>拡散層109'を形成する。

【0070】次に、図49に示すように、シリコン柱106の側面に絶縁膜を形成するために、孔139の径の1/3以下の膜厚でシリコン酸化膜141を堆積し、これをRIEでエッチングすることにより、孔139の側

面にのみ、シリコン酸化膜141を残す。

【0071】この時できた孔に、図50に示すように不純物が添加されたポリシリコン143を埋め込み、表面をCMPで平坦化する。これにより、シリコン溝下部のn<sup>+</sup>拡散層109をプラグ143を介してシリコン柱上面の位置まで配線することができる。この時の溝底の拡散層の配置状態を図50(b)に示す。このように、シリコン柱を取り巻くようにリング状のn<sup>+</sup>拡散層が形成され、かつ隣り合うリング状のn<sup>+</sup>拡散層がn<sup>+</sup>層で接続された構造となっている。

【0072】次に、第1の実施形態の図7で述べたと同じ図51(b)に示すような、シリコン柱に半分掛かるように開口レジストマスク112を形成し、これをマスクにシリコン酸化膜161、135をエッチングし、シリコン柱の側壁を露出させ、ここにゲート酸化膜114を形成する。形成された孔に不純物が添加されたポリシリコン116を埋め込み、これを接続するポリシリコン116'を堆積してワード線を形成する。このとき、ワード線116'の側面及び上面にはSiN122、118を堆積し、シリコン柱上面にプラグを形成するとき、ワード線に短絡しないようにする。この時の溝底の拡散層やワード線、ゲート電極等の配置状態を図51(c)に示す。

【0073】次に、図52に示すように、シリコン酸化膜111を堆積後、CMPで平坦化する。ビット線コンタクトプラグ143の上部にコンタクト孔を開け、不純物添加ポリシリコンを埋め込んで第2のビット線コンタクトプラグ145を形成する。このとき、第2のビット線プラグ145がワード線に対して自己整合的に形成できるように、SiN層122、118と選択比が大きくなる条件でシリコン酸化膜111のRIEを行う。

【0074】次に、図53に示すように、第2のビット線プラグ145の上に、ビット線115を形成する。ビット線115の形成方法は、第3の実施形態の図38～40で説明した方法で行えばよい。続いて、第3の実施形態の図41と同様に、シリコン酸化膜124を堆積後、ストレージノードコンタクト孔をシリコン柱106の上部に形成し、これにポリシリコンを埋め込み、ストレージノードコンタクトプラグ128を形成する。

【0075】その後の工程は、第1の実施形態の図13以降と同様な工程になる。ただし、図14の工程において、プレート電極134、136をレジスト138を用いてライン状にパターンニングする工程は不要になる。

【0076】以上の製造工程により、第3の実施形態と類似の4F'タイプのメモリセルを作成することができる。

【0077】(第5の実施形態)第4の実施形態では、ビット線コンタクトを溝底で2ビットに1個、若しくは1ビットに1個形成する方法を示したが、溝底でのn<sup>+</sup>拡散層の形成は2ビットに共通とするだけでなく、さら

に多ビットに共通にすることができる。第5の実施形態はこのような例を示すもので、コンタクト形成部のサイズを大きくして加工をやり易くしたものである。

【0078】図54に示すように、溝底での $n^+$ 拡散層202を、多数のシリコン柱201の半分に掛かるようにバタニングすることにより、すべてのシリコン柱201を $n^+$ 拡散層202に共通に接続することができる。但し、拡散抵抗がトランジスタのオン抵抗に比べて大きくなる場合には、メモリセルへの書き込み、読み出し速度が拡散抵抗により遅くなってしまう。このような場合には、並列接続するシリコン柱201の数を制限し、例えば5個あるいは10個に1個のコンタクトとすればよい。

【0079】上記の如き構成とすれば、コンタクト203のスペースを大きくとっても、1セル当たりでは $1/5$ 、 $1/10$ となるため、セルサイズの増加にはならない。コンタクト203のサイズを大きく探ると、ビット線方向のシリコン柱201の配列ピッチは、コンタクト203のところで緩く（大きく）なる。

【0080】（第6の実施形態）第1～第5の実施形態では、径 $F$ の孔と $F$ の間隔で行うリソグラフィを行う場合を示したが、この方法では $4F^2$ のセルサイズが下限になってしまう。第6の実施形態は、 $4F^2$ 以下のセルサイズが製作可能な製造方法を提供するものである。

【0081】図55は第6の実施形態の製造方法を説明するための模式図で、 $0.5F$ のサイズのシリコン柱301が $2F$ の間隔でバタニングできる露光手段を用いる。具体的には、一辺 $F$ の正方形の開口を有する露光マスクを用いても、レジストの感光あるいは現像条件を適切に選択することにより、 $0.5F$ サイズのレジストマ

スクを形成することが可能である。

【0082】上記のようなリソグラフィ露光手段を用い、レティクルマスクとウェハの相対位置を、図55に示すように図面の右斜め下方向にルート $2 \times F$ の間隔ずらして再度露光することにより実現できる。この場合、シリコン柱301のピッチは、斜め方向にルート $2 \times F$ となり、メモリサイズは $2F^2$ となる。このときの合わせ精度は露光装置のステッピング精度で決定され、現状では $15 \sim 20 \text{ nm}$ 程度である。例えば $0.1 \mu\text{m}$ のデザインルールを使用した時の $F$ は $100 \text{ nm}$ であるから、位置誤差は $20\%$ 以内に収まると言える。

【0083】また、同一マスクを使用することにより、同一チップ内でのサイズ誤差があっても、移動後の露光時にも同じように露光されるため、誤差の影響が少ない。この方法を多重回繰り返すことにより、 $F^2$ 、 $0.5F^2$ のセルサイズも原理的には可能になる。このとき、メモリセルアレイの露光時移動方向と $90^\circ$ 直交する対角線上にはメモリセルはバタニングされない（図55（b）でXを付した場所）。従って、上下若しくは左右1列のメモリセルはダミーパターンとして使用す

ばよい。

【0084】

【発明の効果】以上説明したように、本発明によればセルサイズ $4F^2$ 以下の微細なメモリセルを、縦型のトランジスタを使用することにより実現できる。スタック型メモリセルで縦型トランジスタとする場合には、シリコン柱の下に形成されるソース・ドレインをビット線に接続することが必要であるが、従来技術ではビット線をシリコン柱の下に埋め込む等の複雑な工程が必要になる。本発明によれば、従来プロセスで素子分離のSTI（Shallow Trench Isolation）の工程を少し変化させるだけで、大幅な工程の増加なく、ビット線をシリコン柱の上部で形成でき、従来にプロセスと整合性がよい。従って、低コストのDRAMを短工程で実現可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のメモリセルのレイアウト図および断面図。

【図2】第1の実施形態のメモリセルの等価回路。

【図3】第1の実施例の製造工程を説明する断面図および上面図。

【図4】図3に続く工程を説明する断面図。

【図5】図4に続く工程を説明する断面図。

【図6】図5に続く工程を説明する断面図。

【図7】図6に続く工程を説明する断面図および上面図。

【図8】図7に続く工程を説明する断面図。

【図9】図8に続く工程を説明する断面図および上面図。

【図10】図9に続く工程を説明する断面図。

【図11】図10に続く工程を説明する断面図。

【図12】図11に続く工程を説明する断面図。

【図13】図12に続く工程を説明する断面図。

【図14】図13に続く工程を説明する断面図。

【図15】本発明の第2の実施形態に係るメモリセルのレイアウト図および断面図。

【図16】第2の実施例の製造工程を説明するメモリセルの断面図。

【図17】図16に続く工程を説明する断面図。

【図18】図17に続く工程を説明する断面図。

【図19】図18に続く工程を説明する断面図および上面図。

【図20】図19に続く工程を説明する断面図。

【図21】図20に続く工程を説明する断面図。

【図22】図21に続く工程を説明する断面図および上面図。

【図23】図22に続く工程を説明する断面図および上面図。

【図24】図23に続く工程を説明する断面図。

【図25】本発明の第3の実施形態に係るメモリセルのレイアウト図および断面図。



＊【図50】図49に続く工程を説明する断面図および上面図。

【図51】図50に続く工程を説明する断面図（a）および上面図（b）、（c）。

【図52】図51に続く工程を説明する断面図。

【図53】図52に続く工程を説明する断面図および上面図。

【図５４】本発明の第５の実施形態に係るメモリセルのシリコン柱下部のソース・ドレイン取り出し用拡散層の形成方法を説明するレイアウト図。

10 形成方法を説明するレイアウト図。  
 【図55】本発明の第6の実施形態に係るセルサイズ2  
 F'以下のメモリセルの製造方法を説明する模式図。

【図56】従来のメモリセルの等価回路、レイアウト図、断面図。

【符号の説明】

101 ... シリコン基板

102, 108, 110, 111, 124, 130, 135, 141, 148, 161, 163 … シリコン  
絶縁膜

20 103、118、119、122、123 ... SiN  
膜

104、112、120、121、126、132、137、138、151、153、159 … レジスト

105 シリコン溝

106、201、301 … シリコン柱

109、109'、202 ...  $n^+$  拡散層

113、133、139、143 … 開口部(孔)

114 ... ゲート絶縁膜

115. 136 ... W電極 (配線)

30 116、116'、128、131、134、143、  
145 … 不純物添加ポリシリコン

117 ...  $p^+$  拡散層

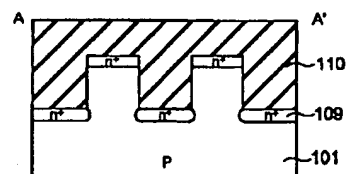
132 ... 高誘電率絶縁膜

140 ... A1配線

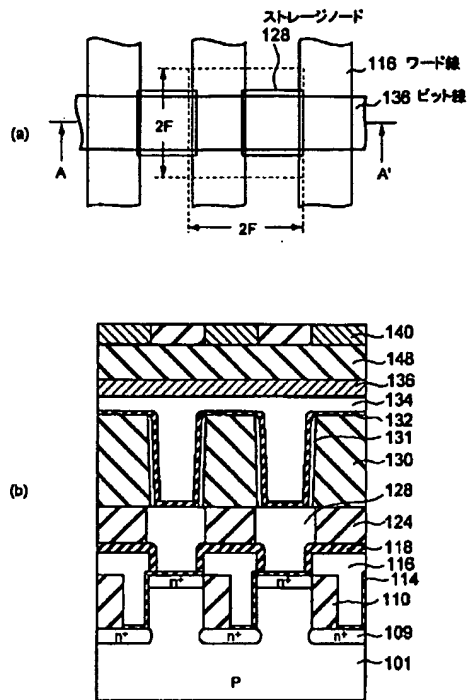
203 ... ビット線コンタクト

\*

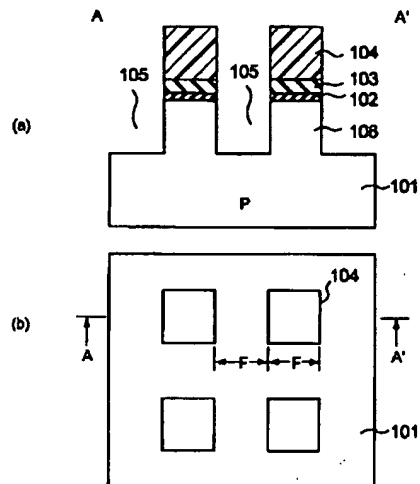
【圖5】



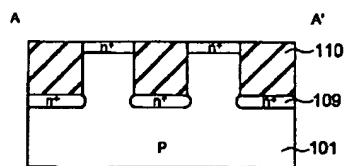
【図1】



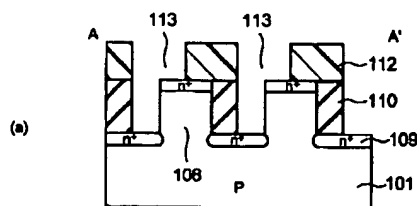
【図3】



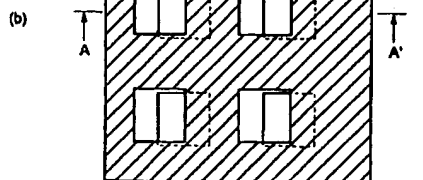
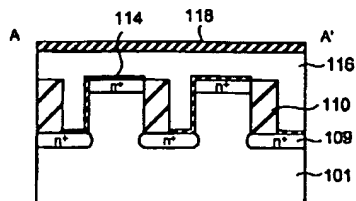
【図6】



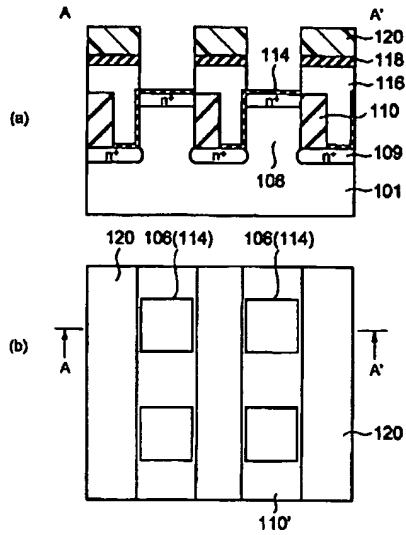
【図7】



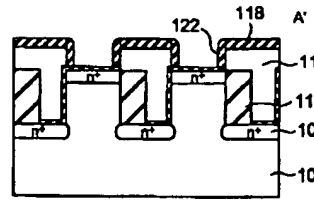
【図8】



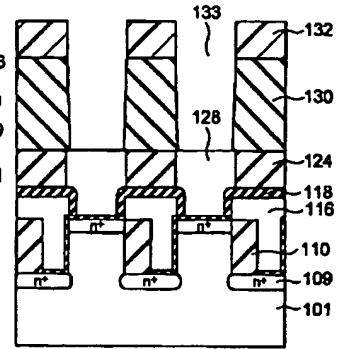
【図9】



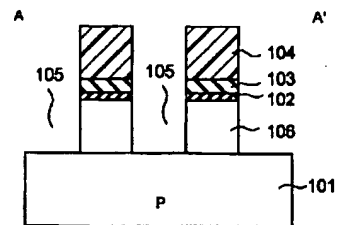
【図10】



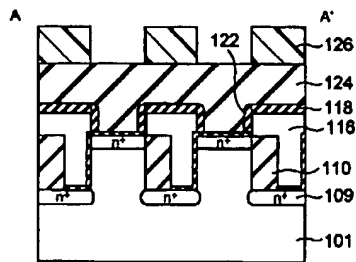
【図13】



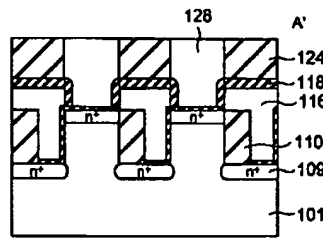
【図16】



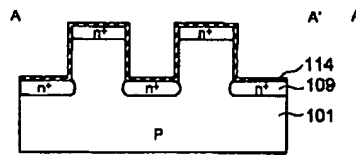
【図11】



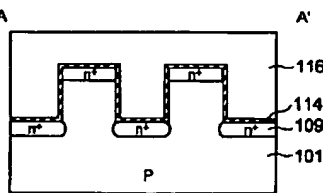
【図12】



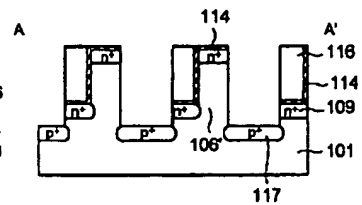
【図17】



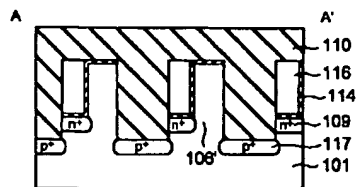
【図18】



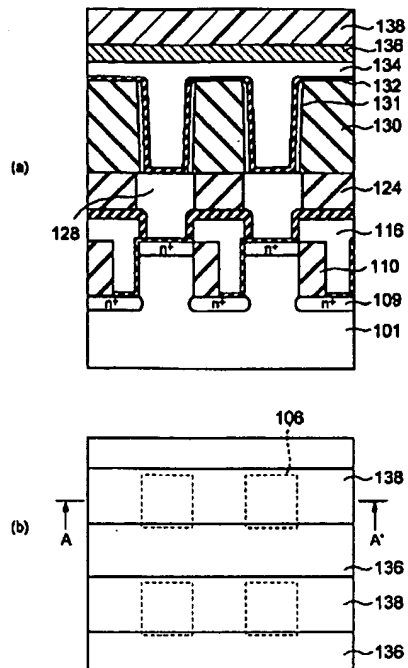
【図20】



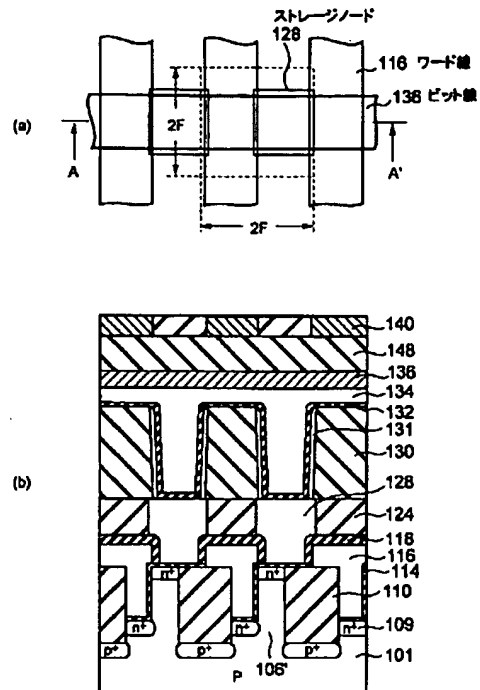
【図21】



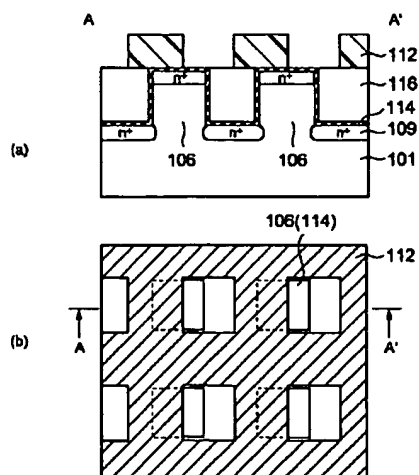
【図14】



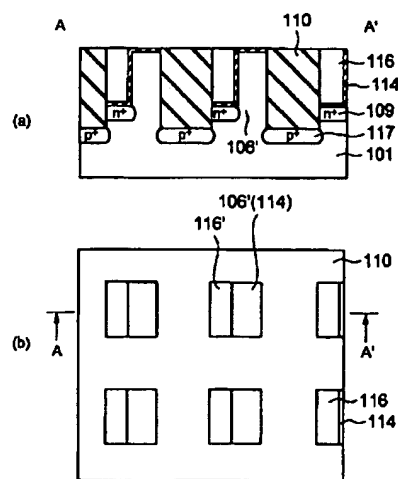
【図15】



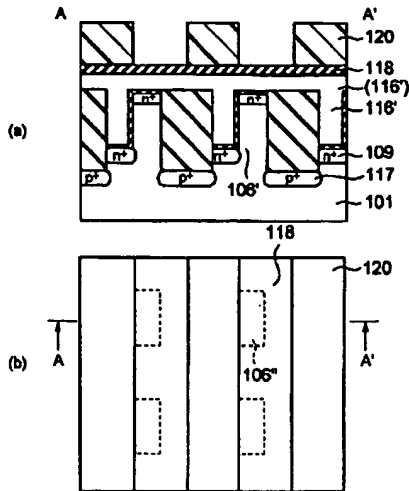
【図19】



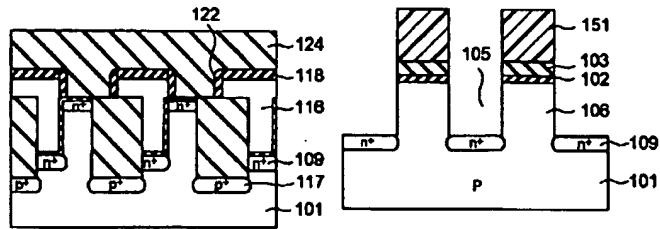
【図22】



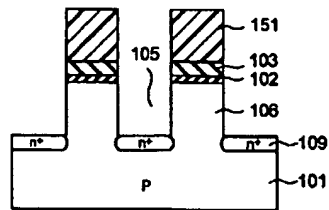
【図23】



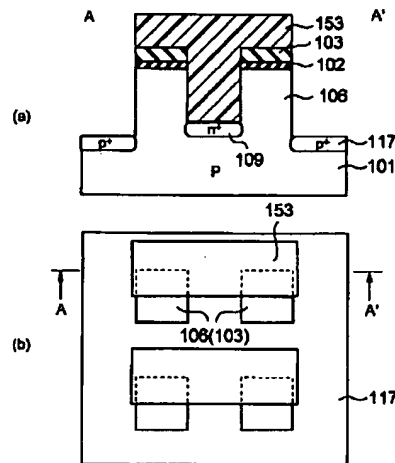
【図24】



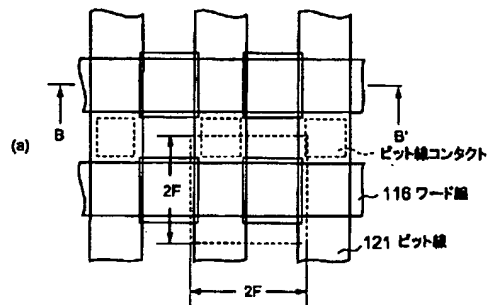
【図26】



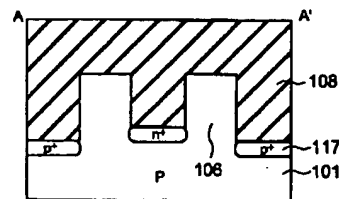
【図27】



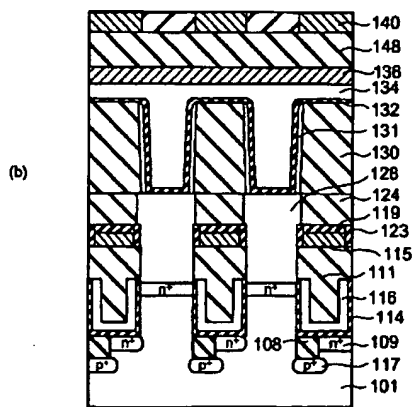
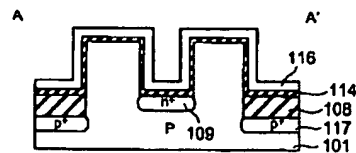
【図25】



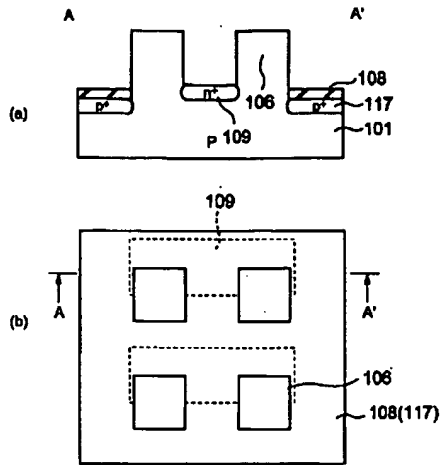
【図28】



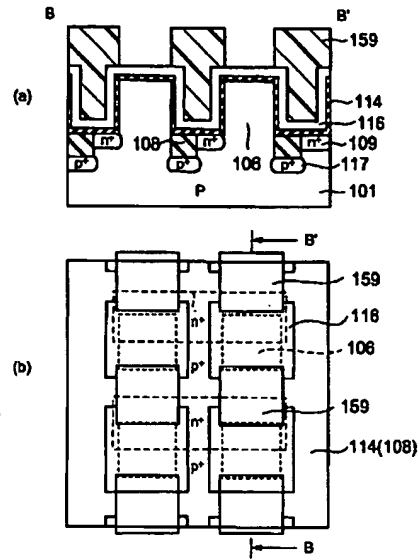
【図30】



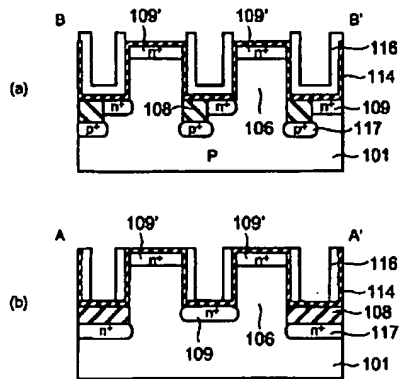
【図29】



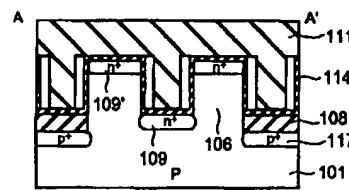
【図31】



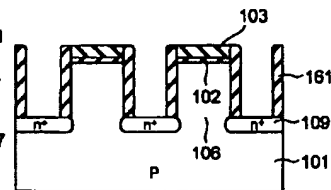
【図32】



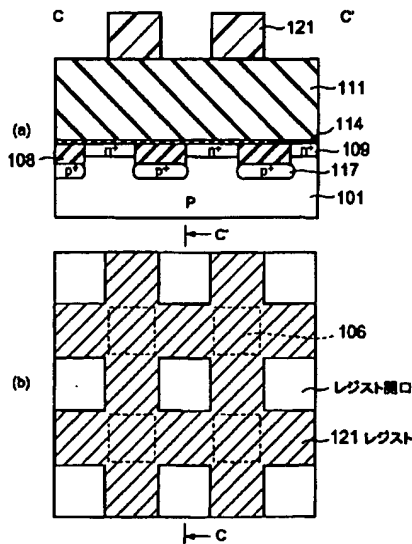
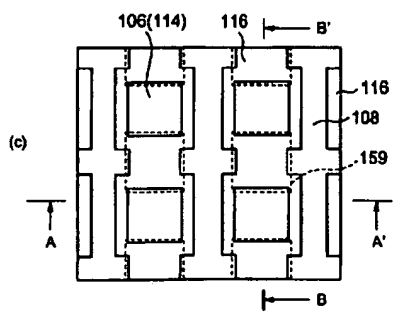
【図33】



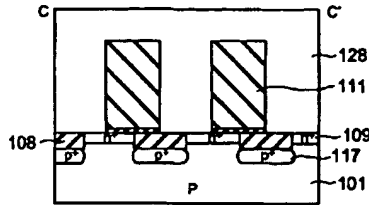
【図43】



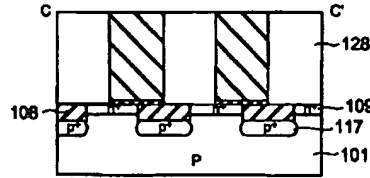
【図34】



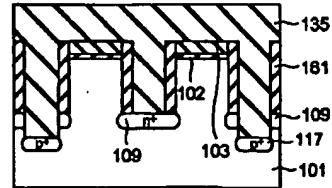
【図35】



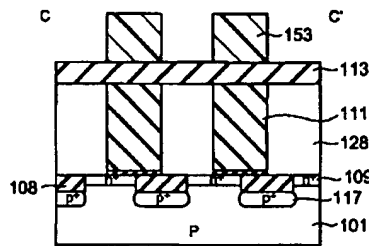
【図36】



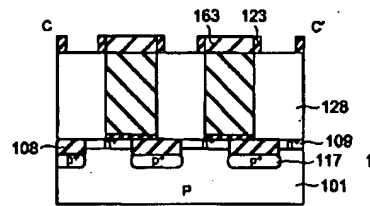
【図46】



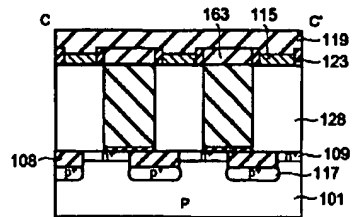
【図37】



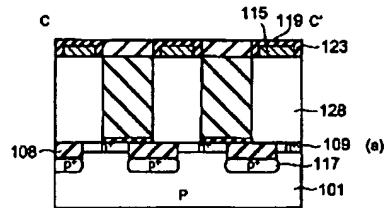
【図38】



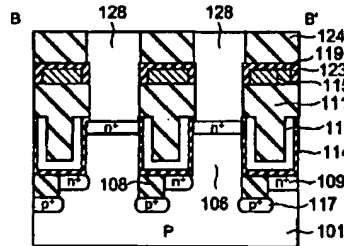
【図39】



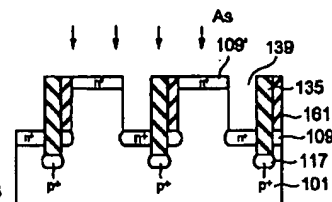
【図40】



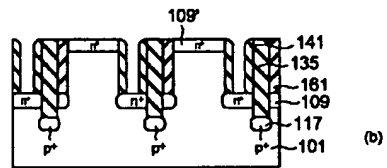
【図41】



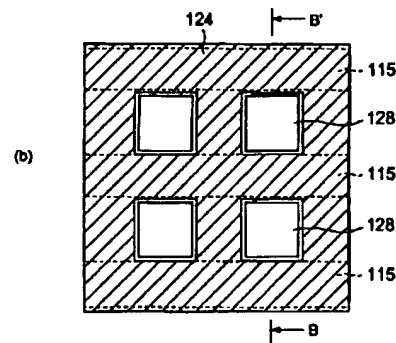
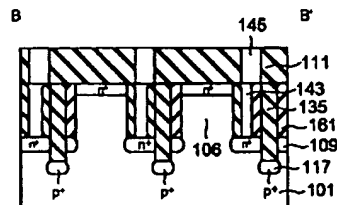
【図48】



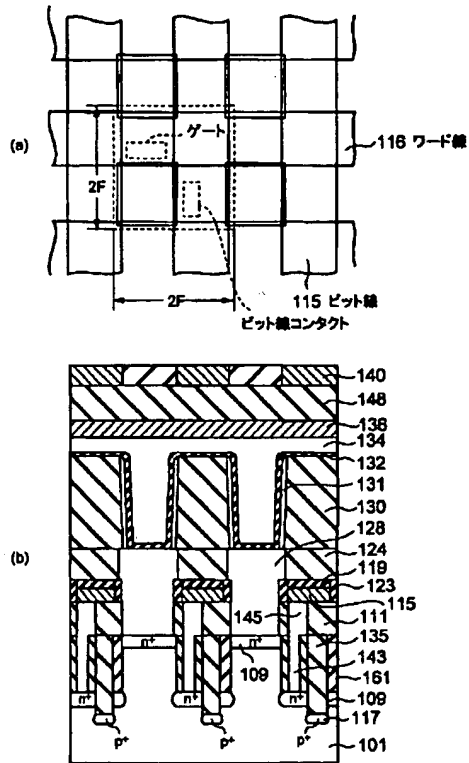
【図49】



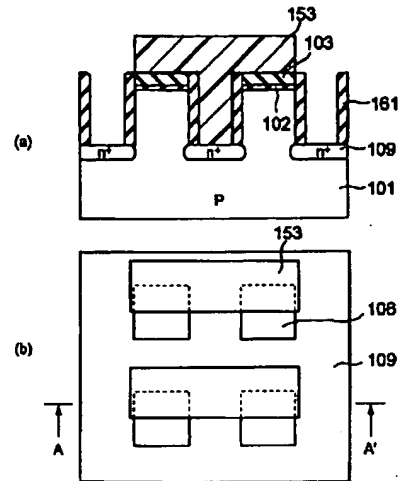
【図52】



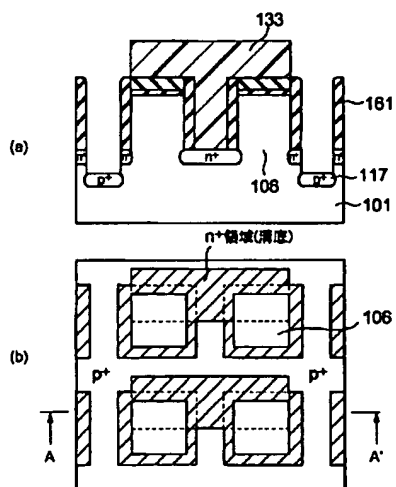
【図42】



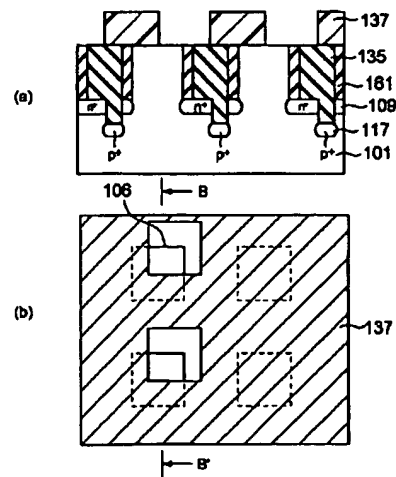
【図44】



【図45】

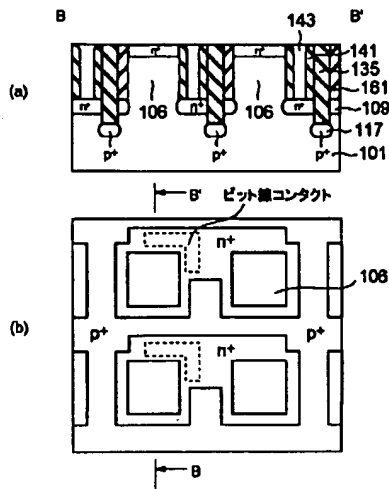


【図47】

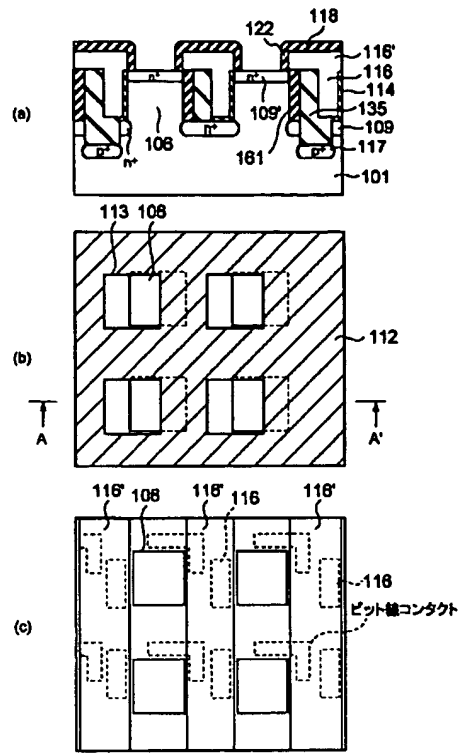




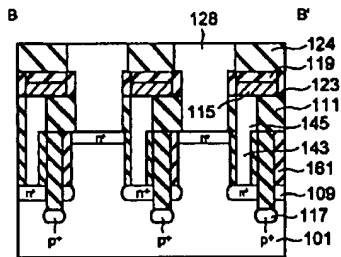
【図50】



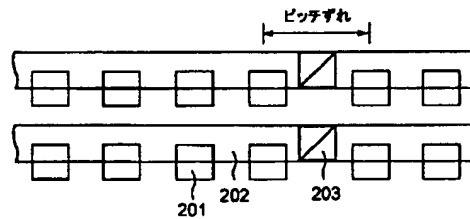
【図51】



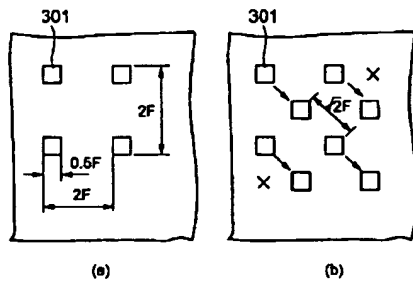
【図53】



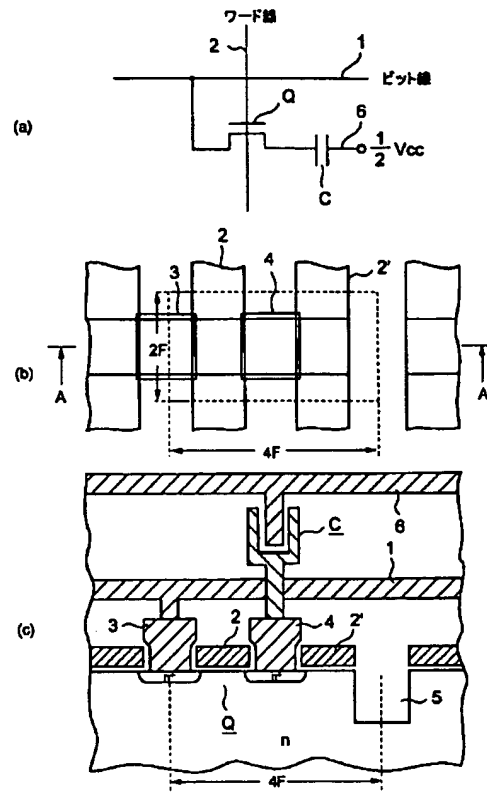
【図54】



【図55】



【図56】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**